

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-020182

(43)Date of publication of application : 29.01.1993

(51)Int.Cl.

G06F 12/06

(21)Application number : 03-176375

(71)Applicant : NEC CORP

(22)Date of filing : 17.07.1991

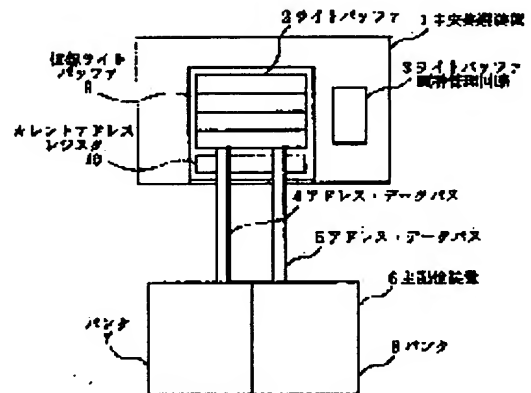
(72)Inventor : TARUSAWA YUMIKO

(54) INFORMATION PROCESSING SYSTEM

(57)Abstract:

PURPOSE: To improve the throughput by putting the data on the backward addresses into the second place of a write data array on the continuous even or odd addresses in order to arrange the even and odd address data alternately with each other.

CONSTITUTION: If a write buffer 2 is filled with the write data before the odd address write data is received, a waiting state is set. Then the address which is newly held in a current address register 10 is set at the head of a write data array when the write of the present data is complete. When the odd address write data is received, this data is put into the place after the head data on the even addresses. If the even address write data are continuous, a write buffer order control circuit 3 recognizes the operated write data array as a new even address write data array. Furthermore the even and odd address data replaced with each other against the continuous odd address write data array.



LEGAL STATUS

[Date of request for examination] 14.11.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3134364

[Date of registration] 01.12.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 01.12.2003

Copyright (C); 1998,2003 Japan Patent Office

特開平5-20182

(43) 公開日 平成 5 年 (1993) 1 月 29 日

(51) Int. Cl.^s
G06F 12/06識別記号
540 8841-5B

F I

審査請求 未請求 請求項の数 1 (全 4 頁)

(21) 出願番号 特願平3-176375

(22) 出願日 平成 3 年 (1991) 7 月 17 日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目 7 番 1 号

(72) 発明者 樽沢 由美子

東京都港区芝五丁目 7 番 1 号日本電気株式
会社内

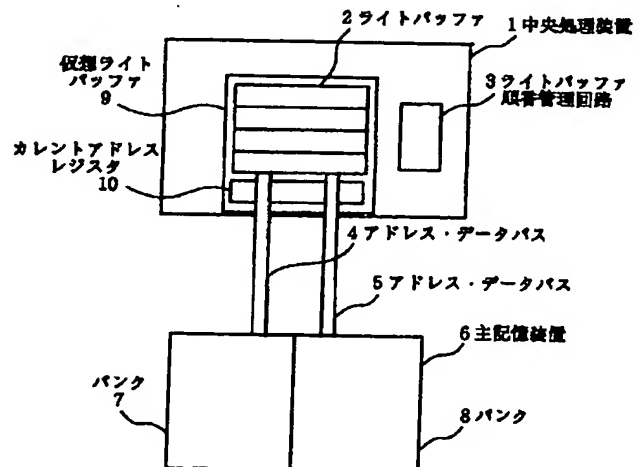
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 情報処理システム

(57) 【要約】

【構成】 逆のアドレスのデータが入ってきたときにこのデータを連続した偶数または奇数アドレスの書き込みデータの列の 2 番目に挿入して偶数アドレスのデータと奇数アドレスのデータとを交互にする。また偶数または奇数アドレスのデータの連続列の先頭が既に書き込み動作の最中であった場合には入ってきた逆のアドレスを直ちにアドレス・データバスへのアクセスを可能にする。

【効果】 一層効果的に 2 本のアドレス・データバスと 2 つのバンクの主記憶装置とを使用することができ、中央処理装置の処理能力を向上することができる。



【特許請求の範囲】

【請求項 1】 書き込み動作時に書き込みアドレス及び書き込みデータを順次複数保持しかつ保持した書き込みアドレス及び書き込みデータを送出するライトバッファと、最近に書き込みを始めたデータのアドレスの偶奇を保持するカレントアドレスレジスタと、前記ライトバッファの先頭に前記カレントアドレスレジスタを 1 段加えた仮想ライトバッファとみなしこの仮想ライトバッファに入ってくる書き込みデータのアドレスで偶数または奇数が連続したものであるかどうかを監視し前記ライトバッファ内の書き込みデータの順序を入れ替えるライトバッファ順番管理回路とを有する中央処理装置と；偶数アドレス用及び奇数アドレス用の 2 本のアドレス・データバスを介して前記中央処理装置に接続されかつアドレスの偶数及び奇数で分けられた 2 つのバンクの主記憶装置とから構成されることを特徴とする情報処理システム。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明は情報処理システムに関し、特にアドレスにより書き込みデータの順番を入れ替える機能を有するライトバッファを含む中央処理装置を備える情報処理システムに関する。

【 0 0 0 2 】

【従来の技術】 図 4 は従来の情報処理システムにおける装置構成である。2 は中央処理装置 1 内にある書き込みアドレスと書き込みデータを複数保持するライトバッファ、4、5 はそれぞれ書き込みアドレスの偶奇に対応したアドレス・データバス、6 は書き込みアドレスの偶奇に対応した 2 つのバンク 7、8 を有する主記憶装置である。この構成において、中央処理装置 1 内で出された書き込み命令はそのままライトバッファ 2 に送られ、ライトバッファ 2 は受け取った順にアドレスの偶奇にしたがってそれを主記憶装置 6 に送り出すようになっていた。

【 0 0 0 3 】

【発明が解決しようとする課題】 上述した従来のシステムにおいてアドレス・データバスと主記憶装置とを偶数アドレス用及び奇数アドレス用に分けていたのは、主記憶装置の書き込み速度がライトバッファのそれよりも相対的に遅いため、バッファがいっぱいになることがあり、待ち時間が発生することを減らす目的であった。しかしながら、例えば偶数アドレスの書き込み要求が連続して起こった場合、その時点では偶数アドレス用の 1 本のアドレス・データバスしか使わないことになり、アドレス・データバスと主記憶装置とを偶数アドレス用及び奇数アドレス用に分けた意味がなくなり、待ち時間が多くなる。

【 0 0 0 4 】

【課題を解決するための手段】 本発明の情報処理システムは書き込み動作時に書き込みアドレス及び書き込みデータを順次複数保持しかつ保持した書き込みアドレス及

び書き込みデータを送出するライトバッファと、最近に書き込みを始めたデータのアドレスの偶奇を保持するカレントアドレスレジスタと、前記ライトバッファの先頭に前記カレントアドレスレジスタを 1 段加えた仮想ライトバッファとみなしこの仮想ライトバッファに入ってくる書き込みデータのアドレスで偶数または奇数が連続したものであるかどうかを監視し前記ライトバッファ内の書き込みデータの順序を入れ替えるライトバッファ順番管理回路とを有する中央処理装置と；偶数アドレス用及び奇数アドレス用の 2 本のアドレス・データバスを介して前記中央処理装置に接続されかつアドレスの偶数及び奇数で分けられた 2 つのバンクの主記憶装置とから構成される。

【 0 0 0 5 】

【実施例】 次に、本発明について図面を参照して説明する。

【 0 0 0 6 】 本発明の一実施例の構成図を示す図 1 及び図 2 を参照すると、中央処理装置 1 内にライトバッファ順番管理回路 3 と、実際のライトバッファ 2 の先頭にカレントアドレスレジスタ 10 を 1 段加えた仮想ライトバッファ 9 とが設けられている。カレントアドレスレジスタ 10 は最近に書き込みを始めたデータのアドレスの偶奇を保持する。ライトバッファ順番管理回路 3 は仮想ライトバッファにおいて書き込みデータのアドレスが偶数または奇数で連続していないかを監視する。連続した列があった場合は、次の操作 1、2 のどちらかを行なう。ここでは、簡単のため、連続した列は偶数アドレス列であったとする。

【 0 0 0 7 】 操作 1：奇数アドレスの書き込みデータが入ってこないうちにライトバッファ 2 がいっぱいになってしまった場合、待ちに入る。現在のデータの書き込みが終わったときには、新たに書き込み動作に入るデータのアドレス、つまり新たにカレントアドレスレジスタ 10 に保持されることになったアドレスが列の先頭となる。

【 0 0 0 8 】 操作 2：奇数アドレスの書き込みデータが入ってきた場合、その奇数アドレスのデータを偶数アドレスの先頭データの次に挿入する。それでもなお偶数アドレスの書き込みデータが連続している場合（3 以上の連続であった場合）は、ライトバッファ順番管理回路 3 はこの操作後の列を新たな偶数アドレスの書き込みデータの列であると認識する。

【 0 0 0 9 】 なお連続した列が奇数アドレスの書き込みデータ列であった場合は、上記操作 1、2 において偶数と奇数とを入れ替えた操作を行なう。

【 0 0 1 0 】 図 3 を例に挙げて詳細に説明する。この例ではライトバッファ 2 は 4 段であるとし、偶数アドレスの書き込みデータを 0、奇数アドレスの書き込みデータを 1 で表してある。空のライトバッファ 2 に偶数アドレスの書き込みデータが 3 つ連続して入ってきた場合を考

える。図3の(a)が3つ入ってきた状態で、一番目のデータはすでに主記憶装置6の偶数アドレス格納バンク7に対する書き込みが行なわれている最中であるため、そのアドレスが偶数であることがカレントアドレスレジスタ10に保持されている。このとき、ライトバッファ順番管理回路3は仮想ライトバッファ9のカレントアドレスレジスタ10を先頭としてライトバッファ2の1段目までを偶数アドレスの書き込みデータの列であると認識している。ここで、新たに奇数アドレスの書き込みデータが入ってきたとすと(図3(b))、上述の操作2に従ってその奇数アドレスのデータを偶数アドレスのデータの列の先頭データの次に、即ちライトバッファ2の0段目に挿入し(図3(c))、ライトバッファ順番管理回路3は2段目から3段目を新たな偶数アドレスの列であると認識する。この奇数アドレスの書き込みデータはライトバッファ2の先頭になったので、もし奇数アドレス用アドレス・データバス5が使用中でなければ、ただちに奇数アドレス格納バンク8へのアクセスが可能である。この操作を続けることにより、書き込み動作による待ち時間の減少を実現する。

【0 0 1 1】

【発明の効果】以上説明したように本発明によれば、逆のアドレスのデータが入ってきたときにこのデータを連続した偶数または奇数アドレスの書き込みデータの列の2番目に挿入して偶数アドレスのデータと奇数アドレス

のデータとを交互にする、また偶数または奇数アドレスのデータの連続列の先頭が既に書き込み動作の最中であつた場合には入ってきた逆のアドレスを直ちにアドレス・データバスへのアクセスを可能にすることにより、一層効果的に2本のアドレス・データバスと2つのバンクの主記憶装置とを使用することができ、中央処理装置の処理能力を向上することができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す構成図である。

【図2】同実施例における仮想ライトバッファの概念を示す図である。

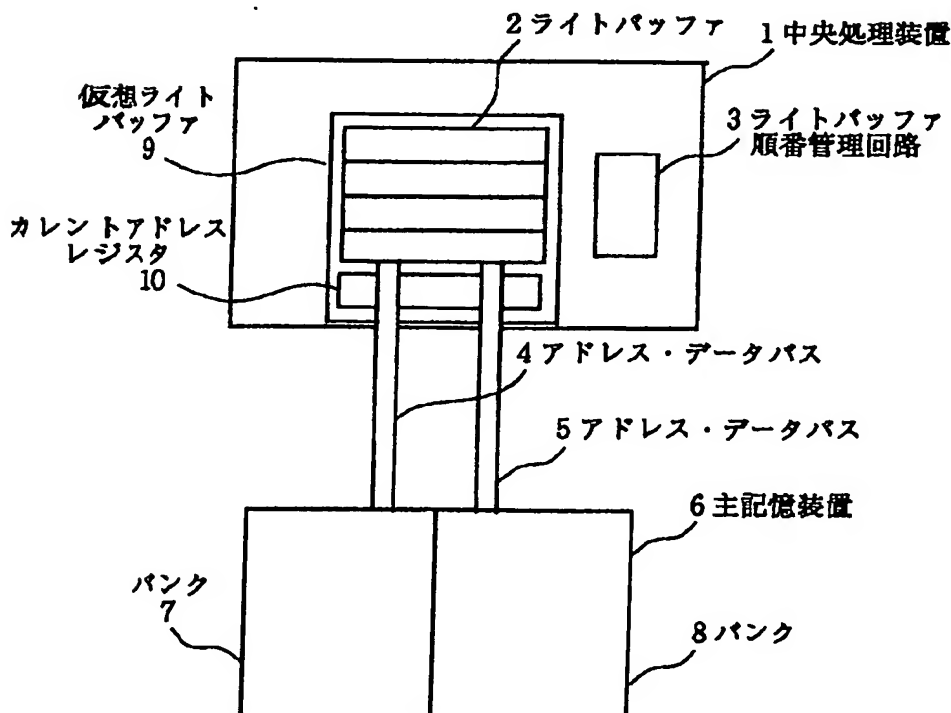
【図3】同実施例における仮想ライトバッファの動作を示す図である。

【図4】従来の情報処理システムの構成図である。

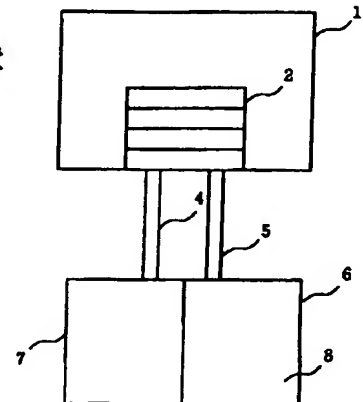
【符号の説明】

- 1 中央処理装置
- 2 ライトバッファ
- 3 ライトバッファ順番管理回路
- 4 偶数アドレス用アドレス・データバス
- 5 奇数アドレス用アドレス・データバス
- 6 主記憶装置
- 7 偶数アドレス格納バンク
- 8 奇数アドレス格納バンク
- 9 仮想ライトバッファ
- 10 カレントアドレスレジスタ

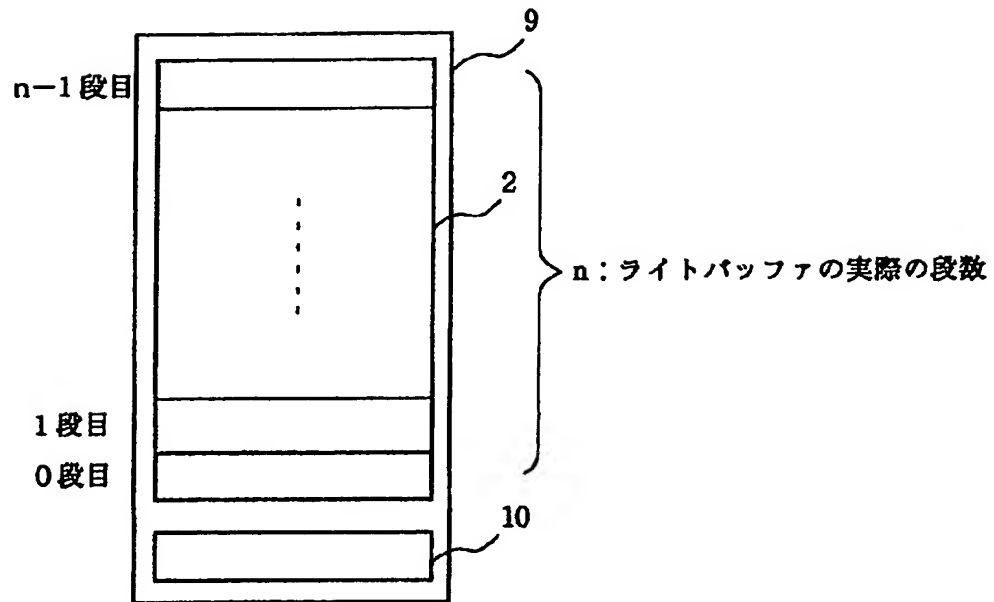
【図1】



【図4】



【図 2】



【図 3】

